



更多关于 ADI 公司的 DSP、处理器以及开发工具的技术资料，
请访问网站：<http://www.analog.com/ee-note> 和 <http://www.analog.com/processor>
如需技术支持，请发邮件至 processor.support@analog.com 或 processor.tools.support@analog.com

JTAG 仿真技术参考

作者: David M. Doyle

Rev 10 – April 15, 2008

引言

这篇文档为 ADI 公司的处理器设计 JTAG 仿真器接口提供技术参考。ADI 公司的处理器在本文中均被称为 *数字信号处理器(DSPs)*。要了解 IEEE 1149.1 (JTAG)标准, 请看附录 E: [Introduction to IEEE Std. 1149.1 \(JTAG\) Boundary Scan](#)。

ADI 设计、制造、销售各种不同类型的 JTAG 仿真器以供支持嵌入 JTAG 仿真器接口的 ADI DSP 使用。本文介绍的内容仅适用于当前的一系列 ADI 仿真器。该产品系列包括: HPPCI、HPUSB 和 USB 仿真器。

本文档以前的版本支持 ADI JTAG 仿真器的早期产品, 比如: *Mountain-ICE*、*Summit-ICE*、*Trek-ICE*、*Apex-ICE* 和 *EZ-ICE*。有关这篇文档中不支持的 JTAG 仿真器的技术资料, 可以联系 ADI 的 DSP 开发工具技术支持网站(processor.tools.support@analog.com), 获得旧版本的 JTAG 仿真器资料。



新的设计不要采用低版本的 EE-68 做技术参考。定期到 ADI 的网站上查找该文档的最新版本。如果参考旧版本的 EE-68 所作的设计在完成 JTAG 仿真时有问题的话, 请将其更新。

<http://www.analog.com/ee-notes/>

目录

引言	1
目录	1
图列表	2
表格列表	2
JTAG 仿真器接口设计	3
JTAG 仿真器用户板插头	3
局部边界扫描控制器	3
特殊情况引脚 5 BTMS	3
BTMS 引脚 VDDIO 自动检测功能	4
BTMS 引脚边界扫描功能	4

JTAG 仿真器接头机械特性规范	5
JTAG 仿真器插头隔离要求	5
用户板仿真器接头设计规范	6
JTAG 仿真器接口的 PCB 布局	6
JTAG 仿真器加电断电顺序	6
JTAG 仿真器接头电气特性要求	6
HPPCI JTAG 仿真器自动电压检测接头逻辑	7
JTAG 仿真器接头 I/O 特性	7
JTAG 仿真器接头时序	8
结论	9
附录 A: 用户板 JTAG 接口设计—不带边界扫描的单 DSP 的用户板	10
附录 B: 用户板 JTAG 接口设计—不带边界扫描的多 DSP 的用户板	11
附录 C: 用户板 JTAG 接口设计—带边界扫描的单 DSP 用户板	13
附录 D: 用户板 JTAG 接口设计—带边界扫描的多 DSP 用户板	15
附录 E: 对边界扫描的 IEEE Std. 1149.1(JTAG)的介绍	18
IEEE Std. 1149.1(JTAG)规范	18
边界扫描的定义	18
参考文献	19
文档记录	19

图列表

图 1. JTAG 仿真器用户板上的插头接口	3
图 2. JTAG 仿真器插槽保护区域	5
图 3. HPPCI JTAG 仿真器接头尺寸规格	5
图 4. JTAG HPUSB JTAG 仿真器接头尺寸规格	5
图 5. JTAG 仿真器接头时序波形	8
图 6. 不带局部边界扫描控制器的单 DSP 用户板	10
图 7. 不带局部边界扫描控制器的多 DSP 用户板	12
图 8. 带边界扫描控制器的单 DSP 用户板	14
图 9. 带边界扫描控制器的多 DSP 用户板	17
图 10. 边界扫描实现框图	18

表格列表

表 1. JTAG 仿真器插头信号描述	4
表 2. JTAG 仿真器接头 I/O 特性	7
表 3. JTAG 仿真器接头时序信息	9

JTAG 仿真器接口设计

ADI JTAG 仿真器与 DSP 的接口是一个有 14 个引脚的 JTAG 仿真器插头。它与 JTAG 仿真器接头相连。如果它没有连着 JTAG 仿真器的话，也可以通过一个可选的局部(固定在用户板上)扫描控制器连接到 DSP。

所有 ADI JTAG 仿真器采用 IEEE 1149.1 的扩展集标准从 DSP JTAG 仿真口收发数据。JTAG 仿真器采用 EMU~的附加信号作为来自 DSP 的 JTAG 仿真状态标志。该信号是供应商专用信号，并非 IEEE 1149.1 规范的一部分。

下面几页详细的介绍了 ADI JTAG 仿真器的设计规范，包括与用户板相连的 JTAG 仿真器的功能特性、电气特性和机械特性的要求。

JTAG 仿真器用户板插头

参考图 1 和表 1 可见，JTAG 仿真器插头有 14 个引脚。要与 JTAG 仿真器通信必须将该插头插到用户板上。JTAG 仿真器插头是一个标准的双排 0.025”公的方形头，间隔为 0.1”×0.1”，最小长度为 0.235”。JTAG 仿真器电缆头的管脚 3 特别用于防止反向插入用户板接头，修剪好用户板上插头的引脚 3 以使 JTAG 仿真器电缆的母头能够插入。



JTAG 仿真器 14 引脚的母头的管脚 3 与 JTAG 电缆的一根线相连，此线与仿真器的地相连。

GND	1	2	EMU
no pin (key)	3	4	GND
BTMS/VDDIO	5	6	TMS
BTCK	7	8	TCK
$\overline{\text{BTRST}}$	9	10	$\overline{\text{TRST}}$
BTDI	11	12	TDI
GND	13	14	TDO

图 1. JTAG 仿真器用户板上的插头接口

局部边界扫描控制器

参考图 1，在连接器的标号为奇数一边的信号可以由具有边界扫描控制器的用户板控制。这些信号包括边界扫描控制器 JTAG 信号 BTMS/VDDIO，BTCK，BTDI 和 BTRST~。上述每个信号在表 1 中都有描述。



如果对局部边界扫描不熟悉，不知道怎么在设计中使用，可以参看附录 E: IEEE Std. 1149.1 (JTAG)边界扫描介绍。

特殊情况引脚 5 BTMS

引脚 5 BTMS/VDDIO 在 HPPCI JTAG 仿真器上是一个双功能引脚。首先，当 JTAG ICE 没有连到 JTAG 头时，引脚 5 可以将一个可选的局部边界扫描控制器的 TMS 信号与用户板上 DSP 的 TMS 信号相连。在 JTAG 头的引脚 5 和引脚 6 之间有跳线。其次，该引脚被 JTAG ICE 用于自动检测用户板的 DSP I/O 电压(VDDIO)是否达到 5V。JTAG ICE 采用检测电压来确定 DSP JTAG 信号输入输出电平。用一个 4.7K Ω 的电阻将该引脚下拉至 VDDIO。不要将它与 VDDIO 直接相连。



只有 HPPCI JTAG 仿真器的管脚 5 支持电压自动检测。USB 和 HPUSB JTAG 仿真器的管脚 5 仅支持 BTMS 功能。

引脚	信号	描述	仿真器	用户板
1	GND	数字地	被动	被动
2	EMU~	JTAG 仿真标志	输入 {低有效}	输出{开漏} {低有效}
3	KEY	接头对齐位置—在用户板的插头上该引脚必须修剪	地	不连接
4	GND	数字地	被动	被动
5	VDDIO 或 BTMS	自动电压检测(VDDIO) 或 用户板局部边界扫描控制器 JTAG TAP(测试访问口)测试模式选择	输入	被动 或 输出
6	TMS	JTAG TAP(测试访问口)测试模式选择	输出	输入
7	BTCK	用户板局部边界扫描控制器 JTAG TAP(测试访问口)测试时钟	不连接	输出
8	TCK	JTAG TAP(测试访问口)测试时钟	输出	输入
9	BTRST~	用户板局部扫描控制器 JTAG TAP(测试访问口)测试复位	不连接	输出 {低有效}
10	TRST~	JTAG TAP(测试访问口)测试复位	输出	输入{低有效}
11	BTDI	用户板局部边界扫描控制器 JTAG TAP(测试访问口)测试数据 输入	不连接	输出
12	TDI	JTAG TAP(测试访问口)测试数据输入	输出	输入
13	GND	数字地	被动	被动
14	TDO	JTAG TAP(测试访问口)测试数据输出	输入	输出

表 1. JTAG 仿真器插头信号描述

BTMS 引脚 VDDIO 自动检测功能

HPPCI JTAG 仿真器可以自动检测高达 5V 的 DSP I/O 电压(VDDIO)。HPPCI JTAG 仿真器使用 BTMS/VDDIO 引脚的 VDDIO 检测电压来调整 JTAG 仿真器接口输入信号上限和输出信号驱动电平到表 2 所示的值。当使用 HPPCI JTAG 仿真器时必须用一个 4.7KΩ 的电阻将引脚 5 (BTMS/VDDIO)上拉至 DSP I/O 电压(VDDIO)。

当使用 HPUSB 和 USB JTAG 不支持 VDDIO 自动检测的仿真器时，可以将引脚 5 直接连到用户板的局部边界扫描控制器的 BTMS 信号，不需要任何上拉电阻。



VDDIO 是用户板 DSP I/O 口的电压值，而不是 DSP 内核的电压值。当使用 HPPCI VDDIO 自动检测功能时，要确保连接到 VDDIO 的电源是正确的。

BTMS 引脚边界扫描功能

当 JTAG ICE 没有连到 JTAG 头时，引脚 5 可以将一个可选的局部边界扫描控制器的 TMS 信号

与用户板上 DSP 的 TMS 信号相连。在 JTAG 头的引脚 5 和引脚 6 之间有跳线。

你可能会将一个 HPUSB 或 USB JTAG 仿真器连接到采用具有 VDDIO 自动检测逻辑的 HPPCI JTAG 仿真器的用户板上。HPUSB 或 USB JTAG 仿真器不会将引脚 5 接回仿真器，所以用户板或仿真器都不会有损伤。当采用 HPUSB 或 USB JTAG 仿真器时用户板的电压上限由用户通过 VisualDSP++[®]会话向导手动设置。



当使用 HPPCI JTAG 仿真器时，如果 JTAG ICE 连接到插头，需要控制引脚 5 的 BTMS 信号使它不会被边界扫描控制器驱动。当 JTAG ICE 连接到插头时，如果对 BTMS 信号隔离失败，由于引脚 5 上错误的检测电压会导致 JTAG ICE 无法预料的行为。可以像图 8 和图 9 那样用跳线或缓冲器将 BTMS 信号隔离。如果使用缓冲器隔离 BTMS 信号，连接 JTAG ICE 时需要将缓冲器的输出禁用。

JTAG 仿真器接头机械特性规范

这一部分对 JTAG 仿真器接头的机械特性规范进行了说明。

JTAG 仿真器插头隔离要求

插头的长和宽至少是 0.30" 和 0.10"。关于接头保护区域的信息可以参考图 2。



用户板上插拔 JTAG 仿真器电缆的插槽高度应留出余量。

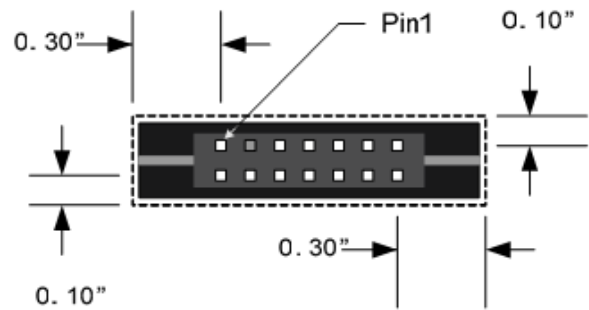


图 2. JTAG 仿真器插槽保护区域

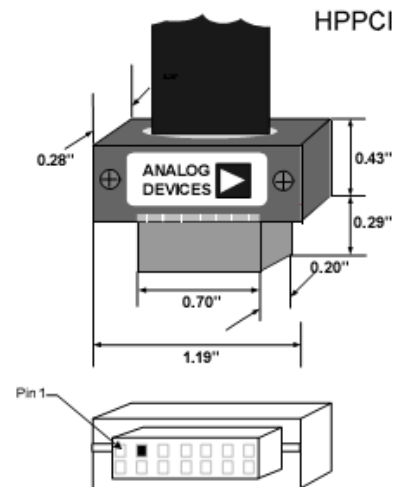


图 3. HPPCI JTAG 仿真器接头尺寸规格

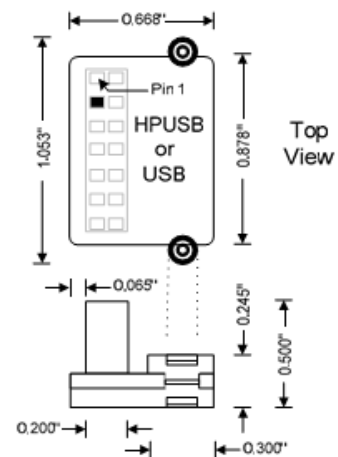


图 4. JTAG HPUSB JTAG 仿真器接头尺寸规格

HPPCI JTAG 仿真器的电缆的高度间隙约束请参考图 3。HPUSB 和 USB JTAG 仿真器的高度间隙约束请参考图 4。

用户板仿真器接头设计规范

这部分介绍不同的用户板如何设计 JTAG 仿真器接头。用户板包括带局部边界扫描逻辑或不带局部边界扫描逻辑的单个或多个 DSP 设备。

根据设计的用户板的类型，JTAG 仿真器接口设计规范可参考下面附录部分的文档。

- 附录 A: 用户板 JTAG 接口设计-不带边界扫描的单 DSP 用户板
- 附录 B: 用户板 JTAG 接口设计-不带边界扫描的多 DSP 用户板
- 附录 C: 用户板 JTAG 接口设计-带边界扫描的单 DSP 用户板
- 附录 D: 用户板 JTAG 接口设计-带边界扫描的多 DSP 用户板

JTAG 仿真器接口的 PCB 布局

所有的 JTAG 仿真器信号(TCK, TMS, TDI, TDO, EMU~和 TRST~)都作为关键路径信号。在用户板上对这些信号进行布线时要特别注意。控制阻抗指定为 50 欧和 75 欧。采用固化共地使串扰最小。布线时让 JTAG 仿真器的信号远离高频网络，尤其是时钟线。布线越短越好，布线长度尽可能相等。

这些线路不能受到其它信号的干扰，当 TDO 和 EMU~的路径非常长时可能需要串联端接电阻器。关于串联端接电阻器的内容请查阅附录 A 到 D。

JTAG 仿真器加电断电顺序

JTAG 仿真器通过仿真器插头连接到用户板上之前，应该先将它上电并连接到 PC 主机。ADI 所有高性能 JTAG 仿真器可以从用户板上“热”拔插而没有加电或断电顺序的限制。



用户板没有加电之前或 JTAG 仿真器连到用户板之前不要打开或运行仿真软件，以避免仿真错误。



对 TRST~网络连接一个 4.7KΩ 的下拉电阻到 DSP，附录 A 到附录 D 中涉及到的所有 DSP 都要这样处理，除非用户板使用边界扫描逻辑并且不使用 TRST~控制信号。

使用边界扫描逻辑并且不使用 TRST~控制信号的用户板不要对 TRST~信号下拉。使用下拉电阻会阻止边界扫描逻辑移动测试口。TRST~信号在用户板上电之前跨越 JTAG 仿真器插头的 TRST~ 和 BTRST~ 引脚，应该给它安一个跳线。用户板加电之后，无论何时如果 JTAG 仿真器没有插入 JTAG 仿真器插头，都应将跳线连接上。该跳线防止 DSP 的 JTAG TAP(测试访问口) 陷入不可恢复的状态。

JTAG 仿真器接头电气特性要求

这一部分对 JTAG 仿真器接头电气特性规范进行了说明。

HPPCI JTAG 仿真器自动电压检测接头逻辑

HPPCI JTAG 仿真器接头使用 JTAG 仿真器插头的引脚 5(BTMS/VDDIO)来自动检测用户板 I/O 口的电压。电压检测逻辑控制着 JTAG 仿真器从用户板接收到的 JTAG 信号的电压阈值。电压检测逻辑也可以设置发送到用户板的 JTAG 信号的驱动电压。

用户板上 DSP 的 IO 电压(VDDIO)可能与 DSP 处理器电压相同,也可能不同。如果将用户板设置为 HPPCI JTAG 仿真器自动电压检测,一定要保证使用的 DSP 处理器的 VDDIO 供电电压正确。一定要将信号用 4.7kΩ 的电阻下拉到正确的电

压。不要把 BTMS/VDDIO 引脚直接连到 VDDIO 电压。关于 BTMS/VDDIO 引脚的更多信息请参考附录 A 到 D。

JTAG 仿真器接头 I/O 特性

JTAG 仿真器接头可以耐高达 5V 的直流电。这对所有的 Analog Devices JTAG 系列 JTAG I/O 电压为 5V、3.3V、2.5V 和 1.8V 的 DSP 处理器都适用。仿真器接头可以适用于 5V 的用户板,其逻辑电平为 3.3V,这同时也满足了阈值电压不能超过 5V 的要求。表 2 概括了 JTAG 仿真器接头的 I/O 特性。

引脚	JTAG 仿真器信号	VDDIO (VDC)	Cin (pF)	Cout (pF)	VIH (VDC)	VIL (VDC)	VOH (VDC)	VOL (VDC)	IOL (mA)	IOH (mA)
2	EMU~	5/3.3	6		2.0	0.8	-	-	-	-
6	TMS	5/3.3		6.5	-	-	2.3	0.7	12	12
8	TCK	5/3.3		6.5	-	-	2.3	0.7	12	12
10	TRST~	5/3.3		6.5	-	-	2.3	0.7	12	12
12	TDI	5/3.3		6.5	-	-	2.3	0.7	12	12
14	TDO	5/3.3	6		2.0	0.8	-	-	-	-
2	EMU~	2.5	6		1.7	0.7	-	-	-	-
6	TMS	2.5		6.5	-	-	1.8	0.6	8	8
8	TCK	2.5		6.5	-	-	1.8	0.6	8	8
10	TRST~	2.5		6.5	-	-	1.8	0.6	8	8
12	TDI	2.5		6.5	-	-	1.8	0.6	8	8
14	TDO	2.5	6		1.7	0.7	-	-	-	-
2	EMU~	1.8	6		1.2	0.6	-	-	-	-
6	TMS	1.8		6.5	-	-	1.3	0.5	4	4
8	TCK	1.8		6.5	-	-	1.3	0.5	4	4
10	TRST~	1.8		6.5	-	-	1.3	0.5	4	4
12	TDI	1.8		6.5	-	-	1.3	0.5	4	4
14	TDO	1.8	6		1.2	0.6	-	-	-	-

表 2. JTAG 仿真器接头 I/O 特性

JTAG 仿真器接头时序

这部分介绍用户板的 JTAG 仿真器插头上 JTAG 信号重要的时序信息。图 5 画出了用户板 JTAG 仿真器插头上 JTAG 信号的转换和时序关系。

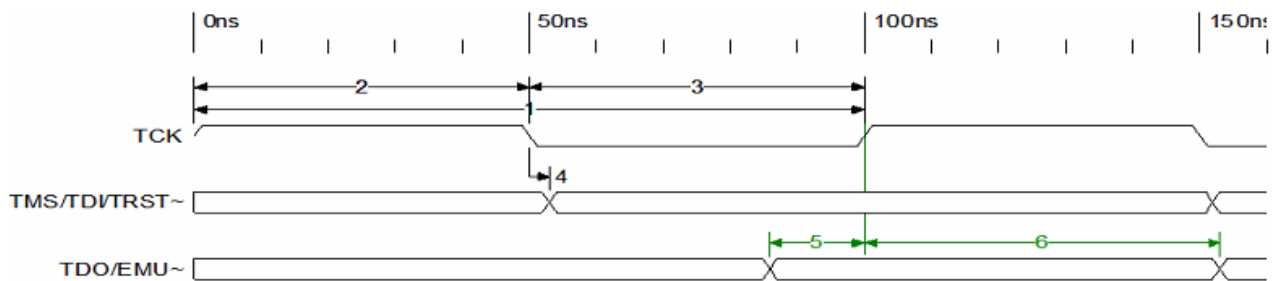


图 5. JTAG 仿真器接头时序波形

该信息用于确定用户板的最大路径长度，网络负载，JTAG 仿真器信号路径上容许的负载电容。

表 3 中的最大频率仅能保证用户板满足表 3 中的建立和保持条件。当计算建立和保持余量时，应确保满足用户板 DSP 的数据表中 TDO 和 EMU~ 的延时参数。如果用户板不满足表 3 种指定的建立和保持条件，为了保证 JTAG 仿真器的可靠性，要让它工作在较低的频率下。



如果 JTAG 仿真器不能在最低的可用频率下工作，请检查用户板有无连线错误，或者重新设计用户板以减少延时。尽量减少路径长度，电气负荷并使用较快速的缓冲器。

建立和保持时间由 JTAG 仿真器在最坏情况下的最大延时决定。典型情况下，建立和保持时间会

比表 3 介绍了 JTAG 仿真器输出信号(TCK, TMS, TDI 和 TRST~)的开关参数以及 JTAG 仿真器输入信号(TDO 和 EMU~)建立和保持的条件。表 3 还介绍了高性能 JTAG 仿真器的工作频率。图 5 说明了表中相关参数值的映射关系。

比表中的值小很多。如果 JTAG 仿真器路径很复杂且有很长的传播延时，请对用户板的 JTAG 路径做一个时序分析。通过分析来确定用户板 JTAG 仿真路径是否有足够的时间余量能让 JTAG 工作在期望的 TCK 频率下。

时序分析得到的时间余量是一个正数。通常情况下，合理的时间余量至少是整个 TCK 时钟周期的 10%。作时序分析时注意要以最坏情况下的延时作为延时数。典型情况下，逻辑电路大都会运行在最大延时值和最小延时值之间。如果得到的余量是负值并且非常接近于 1ns，可以在分析时用一些典型值，看看余量是否仍为负。

如果采用典型值得到的余量仍为负，试着选一个可用的慢速 TCK 频率，或者对用户板作一些改变来减少 JTAG 仿真器路径延时。

#	参数	产品	频率	说明	最小频率 (ns)	最大频率 (ns)
1	t _c TCK	HPPCI	10↔50 MHz	TCK 周期	19.9	100.1
1	t _c TCK	HPUSB	5↔50 MHz	TCK 周期	19.9	200.1
1	t _c TCK	USB	10 MHz	TCK 周期	99.1	100.1
2	t _w TCKH	HPPCI	10↔50 MHz	TCK 高脉冲宽度	9.95	50.05
2	t _w TCKH	HPUSB	5↔50 MHz	TCK 高脉冲宽度	9.95	100.05
2	t _w TCKH	USB	10 MHz	TCK 高脉冲宽度	49.95	50.05
3	t _w TCKL	HPPCI	10 ↔50 MHz	TCK 低脉冲宽度	9.95	50.05
3	t _w TCKL	HPUSB	5 ↔50 MHz	TCK 低脉冲宽度	9.95	100.05
3	t _w TCKL	USB	10 MHz	TCK 低脉冲宽度	49.95	50.05
4	t _d TMS	HPPCI	10↔50 MHz	从 TCK ↓到 TMS/TDI/TRST~延时		3
4	t _d TMS	HPUSB	5↔50 MHz	从 TCK ↓到 TMS/TDI/TRST~延时		3
4	t _d TMS	USB	10 MHz	从 TCK ↓到 TMS/TDI/TRST~延时		3
5	t _{su} TDO	HPPCI	10MHz	从 TDO/EMU~到 TCK ↑的建立时间	14.1	
5	t _{su} TDO	HPPCI	25MHz	从 TDO/EMU~到 TCK ↑的建立时间	1	
5	t _{su} TDO	HPPCI	33MHz	从 TDO/EMU~到 TCK ↑的建立时间	8.4	
5	t _{su} TDO	HPPCI	50MHz	从 TDO/EMU~到 TCK ↑的建立时间	9.9	
5	t _{su} TDO	HPUSB	5-50MHz	从 TDO/EMU~到 TCK ↑的建立时间	2	
5	t _{su} TDO	USB	10MHz	从 TDO/EMU~到 TCK ↑的建立时间	2	
6	t _h TDO	HPPCI	10-50MHz	从 TCK ↑到 TDO/EMU~保持时间	0	
6	t _h TDO	HPUSB	5-50MHz	从 TCK ↑到 TDO/EMU~保持时间	0	
6	t _h TDO0	USB	10MHz	从 TCK ↑到 TDO/EMU~保持时间	0	

表 3. JTAG 仿真器接头时序信息

结论

这篇文档介绍的内容使 JTAG 仿真器接口设计更加直接。用户板上有一个设计优良的 JTAG 仿真器接口可以使你更快的开始开发和测试你的应用程序而不是将宝贵的时间花费在调试 JTAG 仿真器口上。定期的到 ADI DSP 工具网站上更新此文档。

附录 A: 用户板 JTAG 接口设计—不带边界扫描的单 DSP 的用户板

这一部分介绍的是不带边界扫描的单 DSP 的用户板的 JTAG 仿真器接头接口设计。

如图 6 所示，不带边界扫描控制器的单 DSP 的用户板或者在局部边界扫描控制器链中不包含该 DSP。当使用 HPPCI JTAG 仿真器时，应该将所有的边界扫描引脚(除了引脚 5)接地。HPPCI JTAG 仿真器接头需要引脚 5 即 BTMS/VDDIO 信号来自动检测 DSP I/O 的电压(VDDIO)。

JTAG 仿真器插头和 DSP 之间的布线距离少于 6 英寸的单个 DSP 用户板不需要使用缓冲器。



如果最差情况下 JTAG 仿真器插头和 DSP 之间的布线距离大于 6 英寸，无论扫描链的路径上有几个 DSP，都要缓冲用户板。

图 6 是 JTAG 仿真器插头和不带边界扫描控制器的单 DSP 用户板的 DSP 之间的连接示意图。

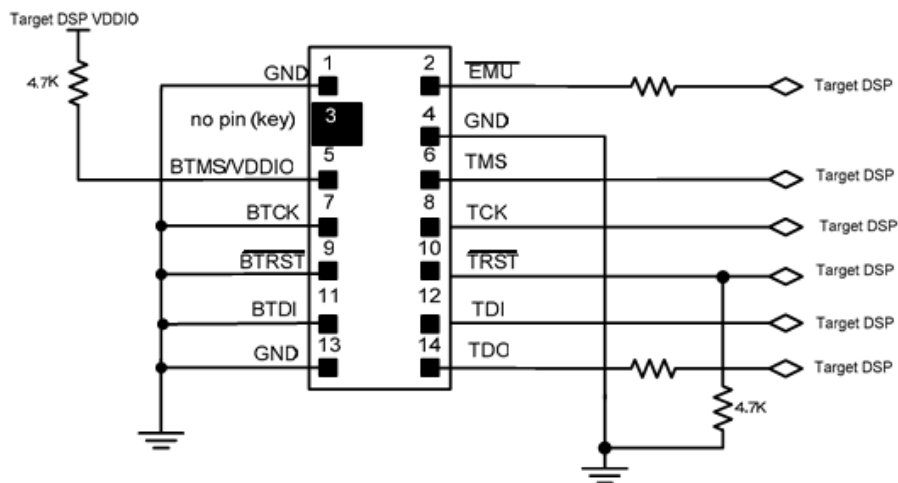


图 6. 不带局部边界扫描控制器的单 DSP 用户板



图 6 中连接到 JTAG 仿真器的 TDO 和 EMU~信号串联了端接电阻器。这些电阻是可选的。如果 JTAG 仿真器插头和 DSP 之间的 TDO 或 EMU~的布线距离大于 6 英寸则需要使用端接电阻器。

端接电阻器值等于印刷电路板的阻抗(Z_{PCB})减去 TDO 或 EMU~信号 I/O 驱动器(Z_{Driver})的阻抗。起初将端接电阻器值设为零欧姆。如果在使用 JTAG 仿真器时观察到了信号完整性问题，则将端接电阻器值 $Z_{Terminator}$ 设置为 Z_{PCB} 减去 Z_{Driver} 。根据信号情况调节端接电阻器值，它可能比 $Z_{Terminator}$ 稍小一些或大一些。端接电阻器离 DSP 越近越好。



本文档之前的版本需要对 TMS、TCK 和 TDI 加上拉电阻。在仿真器中使用了具有强驱动能力的 CMOS 缓冲器就不需要再用上拉电阻了。

附录 B: 用户板 JTAG 接口设计—不带边界扫描的多 DSP 的用户板

这一部分介绍不带边界扫描控制器的多 DSP 用户板的 JTAG 仿真器接头接口设计。

如图 7 所示, 在使用 HPPCI JTAG 仿真器时, 不带边界扫描的多 DSP 用户板应该将所有边界扫描引脚(除了引脚 5)接地。HPPCI JTAG 仿真器接头需要引脚 5 即 BTMS/VDDIO 信号来自动检测 DSP I/O 的电压(VDDIO)。

如图 7 所示, 如果扫描路径上有多个 DSP, 且没有使用局部边界扫描控制器, 那么用户板就需要缓冲。图 7 是不带边界扫描控制器的多 DSP 用户板的缓冲器和 JTAG 仿真器插头的连接示意图。

对于 5V 的用户板, TCK 信号的缓冲器应采用低抖动, 高扇出, 最小输入输出延时, 双 1 对 5 时钟驱动型号为 IDT49FCT805(或等同的)的缓冲器, TMS, TDI, TRST~, TDO 和 EMU~信号的缓冲器应使用型号为 74AC11244(或等同的)的缓冲器。

对于 3.3V 低电压用户板, TCK 信号的缓冲器应采用低抖动, 高扇出, 最小输入输出延时, 双 1 对 5 时钟驱动型号为 IDT49FCT3805E(或等同的)的缓冲器, TMS, TDI, TRST~, TDO 和 EMU~信号的缓冲器应使用型号为 74AVC16244(或等同的)的缓冲器。

对于 2.5V/1.8V 低电压用户板, TCK 信号的缓冲器应采用低抖动, 高扇出, 最小输入输出延时, 单 1 对 5 时钟驱动型号为 IDT5T9050(或等同的)的缓冲器, TMS, TDI, TRST~, TDO 和 EMU~信号的缓冲器应使用型号为 74AVC16244(或等同的)的缓冲器。



图 7 中连接到 JTAG 仿真器的 TDO 和 EMU~信号串联了端接电阻器。这些电阻是可选的。如果 JTAG 仿真器插头和 DSP 之间的 TDO 或 EMU~的布线距离大于 6 英寸则需要用端接电阻器。

端接电阻器值等于印刷电路板的阻抗(Z_{PCB})减去 TDO 或 EMU~信号 I/O 驱动器(Z_{Driver})的阻抗。起初将端接电阻器值设为零欧姆。如果在使用 JTAG 仿真器时观察到了信号完整性问题, 则将端接电阻器值 $Z_{Terminator}$ 设置为 Z_{PCB} 减去 Z_{Driver} 。根据信号情况调节端接电阻器值, 它可能比 $Z_{Terminator}$ 稍小一些或大一些。端接电阻器离 DSP 越近越好。



为了使信号抖动最小化, 确保 TMS, TDI, TRST~, TDO 和 EMU~信号的缓冲器来自同一个分组。对于 TCK 信号要用一个高扇出的驱动。TCK 信号驱动应该来自于一个专用分组, 该分组中没有 TMS, TDI, TRST~, TDO 和 EMU~信号。

JTAG 仿真器插头和 DSP 之间的布线应该尽可能的等长。隔离来自其它信号网表尤其是时钟信号的串扰。

TMS, TRST~和 EMU~缓冲信号的负载(DSPs)不可超过 8 个。TCK 缓冲信号的负载不可超过 1 个。剩余的负载(DSPs)应使用另一个缓冲器来驱动, 它最多驱动 8 个设备。



文档之前的版本需要对 TMS、TCK 和 TDI 加上拉电阻。在仿真器中用了具有强驱动能力的 CMOS 缓冲器就不需要再用上拉电阻。

在一个扫描链中使用的物理设备建议不超过 16 个。如果物理设备超过 16 个最好的方法是将该扫描链分成更小的独立的链，每条链都有自己的 JTAG 插头和缓冲器。如果不能这样做的话，

就增加跳线来减少一次调试时一条链上的设备数目。PCB 布线时要多加注意使传输线路的影响最小。

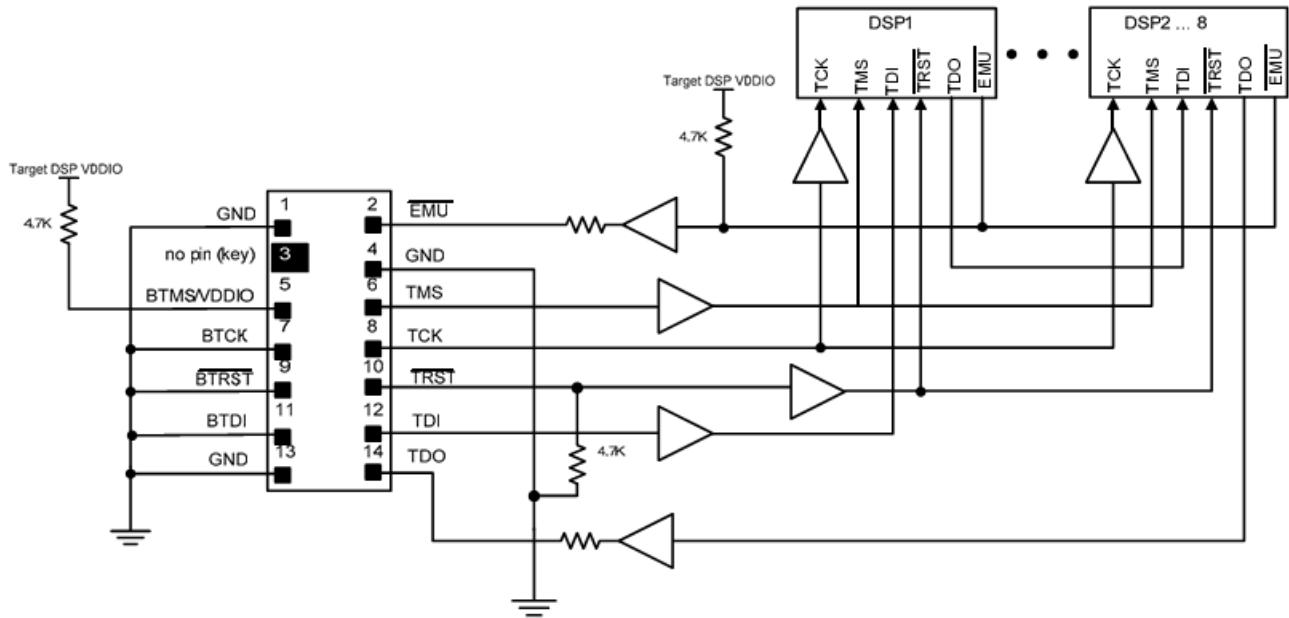


图 7. 不带局部边界扫描控制器的多 DSP 用户板

附录 C：用户板 JTAG 接口设计—带边界扫描的单 DSP 用户板

这一部分介绍带边界扫描的单个 DSP 的用户板的 JTAG 仿真器接头接口设计。

带边界扫描控制器逻辑的单 DSP 用户板应将局部边界扫描信号引脚连接到 JTAG 仿真器插头的引脚上，如图 8 所示。

如果用户板的局部边界扫描控制器是可选的并且连接 HPPCI JTAG 仿真器，那么在开始运行仿真软件之前需要将 BTMS 信号与 BTMS/VDDIO 电压引脚隔离。参考图 8，在 JTAG 仿真过程中你可以用一个跳线或者三态缓冲器将 HPPCI JTAG 仿真器插头的引脚 5 与局部边界扫描控制器逻辑隔离。



当 JTAG 仿真器插头连接了 HPPCI JTAG 仿真器时，必须将 BTMS 信号与用户板的 JTAG 仿真器插头的 BTMS/VDDIO 引脚隔离。在 HPPCI JTAG 仿真器软件启动之前隔离要一直有效。通过隔离可以防止局部边界扫描控制器的 BTMS 信号干扰 HPPCI JTAG 仿真器接头的自动电压检测逻辑。

局部边界扫描控制器与 DSP 之间通过连接或断开局部边界扫描控制器的 JTAG 信号和 DSP JTAG 仿真信号之间的跳线来实现。局部边界扫描信号包括 BTMS, BTCK, BTDI 和 BTRST~。DSP JTAG 仿真信号 TMS, TCK, TDI 和 TRST~ 使用 JTAG 仿真器插头上的跳线与局部边界扫描信号相连。如图 8 所示。



如果使用局部边界扫描控制器，上电时要给 TRST~ 一个低脉冲。局部边界扫描控制器和 JTAG 仿真器没有使用时 TRST~ 要一直保持为低。用户板使用边

界扫描控制器时如何控制 TRST~ 信号，请参考图 8。

如果用户板上有局部边界扫描控制器，但是它无法控制 BTRST~ 信号，就需要用额外的逻辑电路来控制该信号。额外的逻辑电路必须保证 BTRST~ 信号在上电复位时给出一个低脉冲。在局部边界扫描的其它时刻应该将其驱动为高。这可以防止在局部边界扫描时 BTRST~ 信号持续为高。

如果要阻止 DSP 进入局部边界扫描，应保持 DSP TAP(测试访问口)处于复位状态并且将 BTRST~ 信号用跳线或下拉电阻接地。



带有局部边界扫描控制器的用户板应该将图 8 中 TRST~ 信号的 4.7KΩ 下拉电阻去掉，并且不要驱动 TRST~。如果用了下拉电阻且不能被过驱动的话 DSP JTAG TAP(测试访问口)会持续保持在复位状态。

JTAG 仿真器插头和带边界扫描控制器单 DSP 用户板的 DSP 的连接如图 8 所示。



开发板上的跳线可以用零欧姆的电阻替代。如果调试和生产都采用相同的版本，设计用户板采用双下标。双下标应该既与图 1 中调试板的插头一致又与成品板上的贴片电阻一致。

JTAG 仿真器插头和 DSP 之间的布线距离少于 6 英寸的单 DSP 用户板不需要用缓冲器。



如果最差情况下 JTAG 仿真器插头和 DSP 之间的布线距离大于 6 英寸, 无论扫描链的路径上有几个 DSP, 都要缓冲用户板。



图 8 中连接到 JTAG 仿真器的 TDO 和 EMU~信号串联了端接电阻器。这些电阻是可选的。如果 JTAG 仿真器插头和 DSP 之间的 TDO 或 EMU~的布线距离大于 6 英寸则需要用端接电阻器。

端接电阻器值等于印刷电路板的阻抗(Z_{PCB})减去 TDO 或 EMU~信号 I/O 驱动器(Z_{Driver})的阻抗。起初将端接电阻器值设为零欧姆。如果在使用 JTAG 仿真器时观察到了信号完整性问题, 则将端接电阻器值 $Z_{Terminator}$ 设置为 Z_{PCB} 减去 Z_{Driver} 。根据信号情况调节端接电阻器值, 它可能比 $Z_{Terminator}$ 稍小一些或大一些。端接电阻器离 DSP 越近越好。



本文档之前的版本需要对 TMS、TCK 和 TDI 加上拉电阻。在仿真器中使用了具有强驱动能力的 CMOS 缓冲器就不需要再用上拉电阻了。

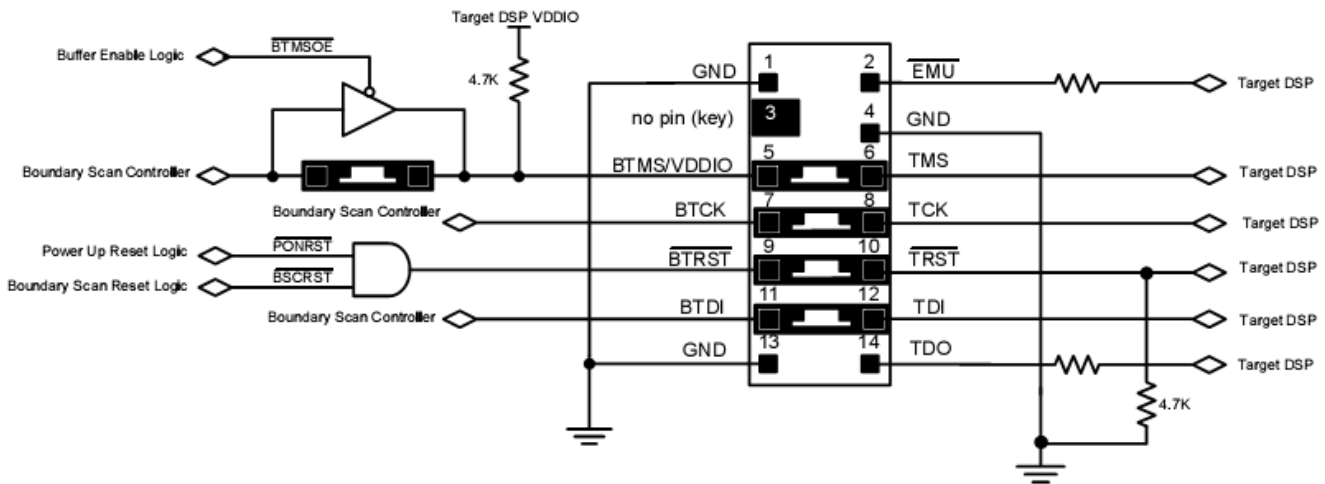


图 8. 带边界扫描控制器的单 DSP 用户板

附录 D: 用户板 JTAG 接口设计-带边界扫描的多 DSP 用户板

这一部分介绍带边界扫描控制器的多 DSP 用户板的 JTAG 仿真器接头接口设计。

带边界扫描控制器逻辑的多 DSP 用户板应将局部边界扫描信号引脚连接到 JTAG 仿真器插头的引脚上, 如图 9 所示。



开发板上的跳线可以用零欧姆的电阻替代。如果调试和生产都采用相同的版本, 设计用户板采用双下标。双下标应该既与图 1 中调试板的插头一致又与成品板上的贴片电阻一致。

如果用户板的局部边界扫描控制器是可选的并且连接 HPPCI JTAG 仿真器, 那么在开始运行仿真软件之前需要将 BTMS 信号与 BTMS/VDDIO 电压引脚隔离。参考图 9, 在 JTAG 仿真过程中可以用一个跳线或者三态缓冲器将 HPPCI JTAG 仿真器插头的引脚 5 与局部边界扫描控制器逻辑隔离。



当 JTAG 仿真器插头连接 HPPCI JTAG 仿真器时, 必须将 BTMS 信号与用户板的 JTAG 仿真器插头的 BTMS/VDDIO 引脚隔离。在 HPPCI JTAG 仿真器软件启动之前隔离要一直有效。通过隔离可以防止局部边界扫描控制器的 BTMS 信号干扰 HPPCI JTAG 仿真器接头的自动电压检测逻辑。

局部边界扫描控制器与 DSP 之间通过连接或断开局部边界扫描控制器的 JTAG 信号和 DSP JTAG 仿真信号之间的跳线来实现。局部边界扫描信号包括 BTMS, BTCK, BTDI 和 BTRST~。

DSP JTAG 仿真信号 TMS, TCK, TDI 和 TRST~ 使用 JTAG 仿真器插头上的跳线与局部边界扫描信号相连。如图 9 所示。



如果使用局部边界扫描控制器, 上电时要给 TRST~ 一个低脉冲。局部边界扫描控制器和 JTAG 仿真器没有使用时 TRST~ 要一直保持为低。用户板使用局部边界扫描控制器时如何控制 TRST~ 信号, 请参考图 9。

如果用户板上有局部边界扫描控制器, 但是它无法控制 BTRST~ 信号, 那么就需要用额外的逻辑电路来控制该信号。额外的逻辑电路必须保证 BTRST~ 信号在上电复位时给出一个低脉冲。在局部边界扫描的其它时刻应该将其驱动为高。这可以防止在局部边界扫描时 BTRST~ 信号持续为高。

如果要阻止 DSP 进入局部边界扫描, 应保持 DSP TAP(测试访问口)处于复位状态并且将 BTRST~ 信号用跳线或下拉电阻接地。



带有局部边界扫描控制器的用户板应该将图 9 中 TRST~ 信号的 4.7KΩ 下拉电阻去掉, 并且不要驱动 TRST~。如果使用了下拉电阻且不能被过驱动的话 DSP JTAG TAP(测试访问口)会持续保持在复位状态。

如图 9 所示, 如果扫描路径上有多个 DSP, 且带有局部边界扫描控制器, 那么用户板就需要缓冲。图 9 是带边界扫描控制器的多 DSP 用户板的缓冲器和 JTAG 仿真器插头的连接示意图。

对于 5V 的用户板, TCK 信号的缓冲器应采用低抖动, 高扇出, 最小输入输出延时, 双 1 对 5 时钟驱动型号为 IDT49FCT805(或等同的)的缓冲器, TMS, TDI, TRST~, TDO 和 EMU~信号的缓冲器应使用型号为 74AC11244(或等同的)的缓冲器。

对于 3.3V 低电压用户板, TCK 信号的缓冲器应采用低抖动, 高扇出, 最小输入输出延时, 双 1 对 5 时钟驱动型号为 IDT49FCT3805E(或等同的)的缓冲器, TMS, TDI, TRST~, TDO 和 EMU~信号的缓冲器应使用型号为 74AVC16244(或等同的)的缓冲器。

对于 2.5V/1.8V 低电压用户板, TCK 信号的缓冲器应采用低抖动, 高扇出, 最小输入输出延时, 单 1 对 5 时钟驱动型号为 IDT5T9050(或等同的)的缓冲器, TMS, TDI, TRST~, TDO 和 EMU~信号的缓冲器应使用型号为 74AVC16244(或等同的)的缓冲器。



图 9 中连接到 JTAG 仿真器的 TDO 和 EMU~信号串联了端接电阻器。这些电阻是可选的。如果 JTAG 仿真器插头和 DSP 之间的 TDO 或 EMU~的布线距离大于 6 英寸则需要用端接电阻器。

端接电阻器值等于印刷电路板的阻抗(Z_{PCB})减去 TDO 或 EMU~信号 I/O 驱动器(Z_{Driver})的阻抗。起初将端接电阻器值设为零欧姆。如果在使用 JTAG 仿真器时观察到了信号完整性问题, 则将端接电阻器值 $Z_{Terminator}$ 设置为 Z_{PCB} 减去 Z_{Driver} 。

根据信号情况调节端接电阻器值, 它可能比 $Z_{Terminator}$ 稍小一些或大一些。端接电阻器离 DSP 越近越好。



为了使信号抖动最小化, 确保 TMS, TDI, TRST~, TDO 和 EMU~信号的缓冲器来自同一个分组。对于 TCK 信号要使用一个高扇出的驱动。TCK 信号驱动应该来自于一个专用分组, 该分组中没有 TMS, TDI, TRST~, TDO 和 EMU~信号。

JTAG 仿真器插头和 DSP 之间的布线应该尽可能的等长。隔离来自其它信号网表尤其是时钟信号的串扰。

TMS, TRST~和 EMU~缓冲信号的负载(DSPs)不可超过 8 个。TCK 缓冲信号的负载不可超过 1 个。剩余的负载(DSPs)应使用另一个缓冲器来驱动, 它最多驱动 8 个设备。



本文档之前的版本需要对 TMS、TCK 和 TDI 加上拉电阻。在仿真器中使用了具有强驱动能力的 CMOS 缓冲器就不需要再用上拉电阻了。

在一个扫描链中使用的物理设备建议不超过 16 个。如果物理设备超过 16 个最好的方法是将该扫描链分成更小的独立的链, 每条链都有自己的 JTAG 插头和缓冲器。如果不能这样做的话, 就增加跳线来减少一次调试时一条链上的设备数目。PCB 布线时要多加注意使输电线路的影响最小。

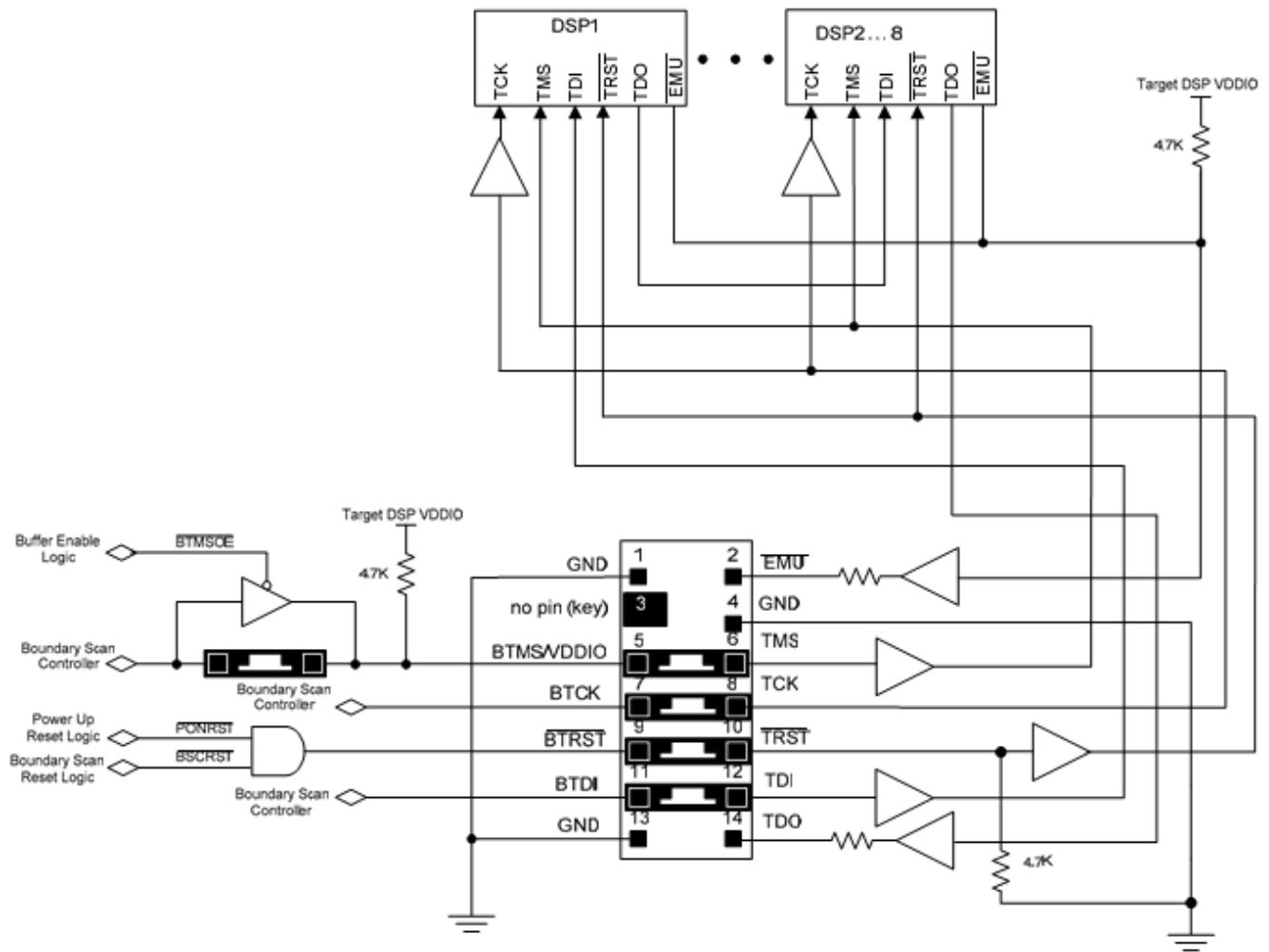


图9.带边界扫描控制器的多DSP用户板

附录 E：对边界扫描的 IEEE Std. 1149.1 (JTAG)的介绍

这一部分简要介绍 IEEE 1149.1(JTAG)规范并为不熟悉边界扫描的用户介绍边界扫描的概念。

IEEE Std. 1149.1(JTAG)规范

因为 PGA 或 BGA 封装形式的器件变得很复杂导致印制电路板变得非常密集，传统的探针和电路内部测试方法变得非常困难。急需找到测试这些高密度的 PCBs 板的新方法。为了解决这个问题，20 世纪 80 年代，联合测试行动组(JTAG)提出了用边界扫描实现印制电路板上器件引脚电平的测试标准 IEEE Std. 1149.1。这一标准在 1990 年被认可、采纳和引入。该规范的几个子版本包括 1993 年的 1149.1a 版本，1994 年对边界扫描描述语言(BSDL)规范的增补版均被认可和采用。将 IEEE Std. 1149.1 标准集成到其产品(Ics)用于电路板和元器件测试的公司，进一步将 JTAG 用于对 FPGA 编程，下载微代码和电路内部仿真等等。

边界扫描的定义

边界扫描提供了不使用物理探针来测试 PCB 内部连接的方法。通过使用具有多路传输和锁存功能的内部边界扫描单元，数据可以以串行方式从互连器件移入移出。使用其多路器和锁存逻辑的每个边界扫描单元都连接到器件的引脚上，所有的边界扫描单元均以串行链的方式连接。该链包括用于连接 PCB 板上其它器件(由用户定义)的某一器件的所有或部分引脚(由用户定义)的边界扫描单元。

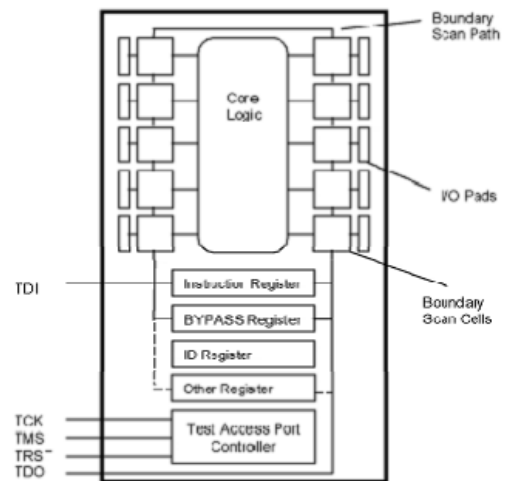


图 10. 边界扫描实现框图

实现 IEEE Std. 1149.1 标准的每个边界扫描单元和 JTAG 控制逻辑的框图如图 10 所示。TDI, TCK, TMS, TDO 及可选的 TRST~引脚提供了由 TMS 控制以(TCK)为时钟移入数据(TDI)、移出数据(TDO)的测试访问口(TAP)。驱动 TCK, TMS 和 TDI 引脚的外部设备通过驱动可选的 TRST~引脚也可以使 TAP(测试访问口)控制器复位。数据由 TDO 引脚回到控制 TAP(测试访问口)操作的外部设备。

ADI 公司使用 TAP(测试访问口)控制器和边界扫描操作来访问 JTAG 扫描单元的专用内部寄存器从而实现数据从 DSP 的移入移出，给 DSP 提供了一个仿真口。ADI 在其所有目前的 DSP JTAG TAP(测试访问口)逻辑器件中均包含可选的 TRST~引脚，并且它还使用了一个 IEEE Std. 1149.1 标准中没有的专用仿真控制引脚(EMU~)。

如果了解更多有关 IEEE Std. 1149.1 标准如何工作的信息，可以访问它们的网站 <http://standards.ieee.org/>。

参考文献

The IEEE 1149.1 JTAG standard is sponsored by the Test Technology Standards Committee of the IEEE Computer Society, and published by the IEEE.

To order a copy, call IEEE at 1-800-678-4333 in the US and Canada (1-908-981-1393 outside of the US and Canada). You can also visit the IEEE standards web site at <http://standards.ieee.org/>

文档记录

Revision	Description
<i>Rev 10 – April 15th, 2008 by D. Doyle</i>	<p>Major update with the following changes:</p> <p>Corrected Note 10, switching the buffer part numbers for 5V and 3.3V</p> <p>Removed Notation table, and broke up the 4 different Target types (Single or Multi DSP with or without local boundary scan) into Appendixes A through D with individual JTAG Interface design instructions.</p> <p>Updated Figures 5, 6, 7, and 8 showing TRST/ pulled low to ground with a 4.7KΩ resistor.</p> <p>Noted the special case of not using a pull down resistor when an on-board boundary scan controller is being used and TRST/ is not controlled.</p> <p>Updated Figure 2, 3, and 4 showing the physical location of pin 1 on the probe header.</p> <p>Added tables of contents, list of figures, and list of tables at beginning of document to make navigating to target applicable document information sections easier.</p> <p>Removed the requirement for jumpers or zero ohm resistors on the JTAG header for targets that do not implement their own boundary scan controller.</p> <p>Added Appendix E to provide an introduction to the IEEE Std. 1149.1 (JTAG) Standard for customers unfamiliar with the specification.</p>
<i>Rev 9 – October 18th, 2004 by D. Doyle</i>	<p>Major update. Incremented revision code to Rev 9 due to revision system change</p> <p>Removed all obsolete Legacy information. Simplified and combined drawings and tables when possible. Re-wrote most sections in more concise format</p>
<i>Rev 2.6 – July 9th, 2003 by D. Doyle</i>	<p>Updated all document discussions for the TRST~ signal and JTAG Emulation header jumper requirements. Most sections of the document were affected. Changed keep out clearance requirements for larger HPPCI pod.</p>
<i>Rev 2.5 – March 20th, 2003 by D. Doyle</i>	<p>Divided document into discussion of Legacy ICE products and our new HPPCI ICE product. Added HPPCI information</p>
<i>Rev 2.4 – December 3rd, 2002 by D. Doyle</i>	<p>Updated all sections and added timing information</p>

<i>Rev 2.3 – August 2001 by D. Doyle</i>	Update to power up sections
<i>Rev 2.2 – March 2001 by D. Doyle</i>	Update to target connections
<i>Rev 2.1 – August 2000 by D. Doyle</i>	Update for 2.5 logic
<i>Rev 2.0 – February 2000 by D. Doyle</i>	General update
<i>Rev 1.0 – December 1999 by D. Doyle</i>	Initial release